

Функциональная схемотехника

ОТЧЕТ

по лабораторной работе №1

Группа ***Р3332***

Вариант ***6***

Выполнили: ***Антипин Григорий Викторович***

***Матевосян Артур Русланович***

Дата защиты: **15.10.2025**

Количество баллов:

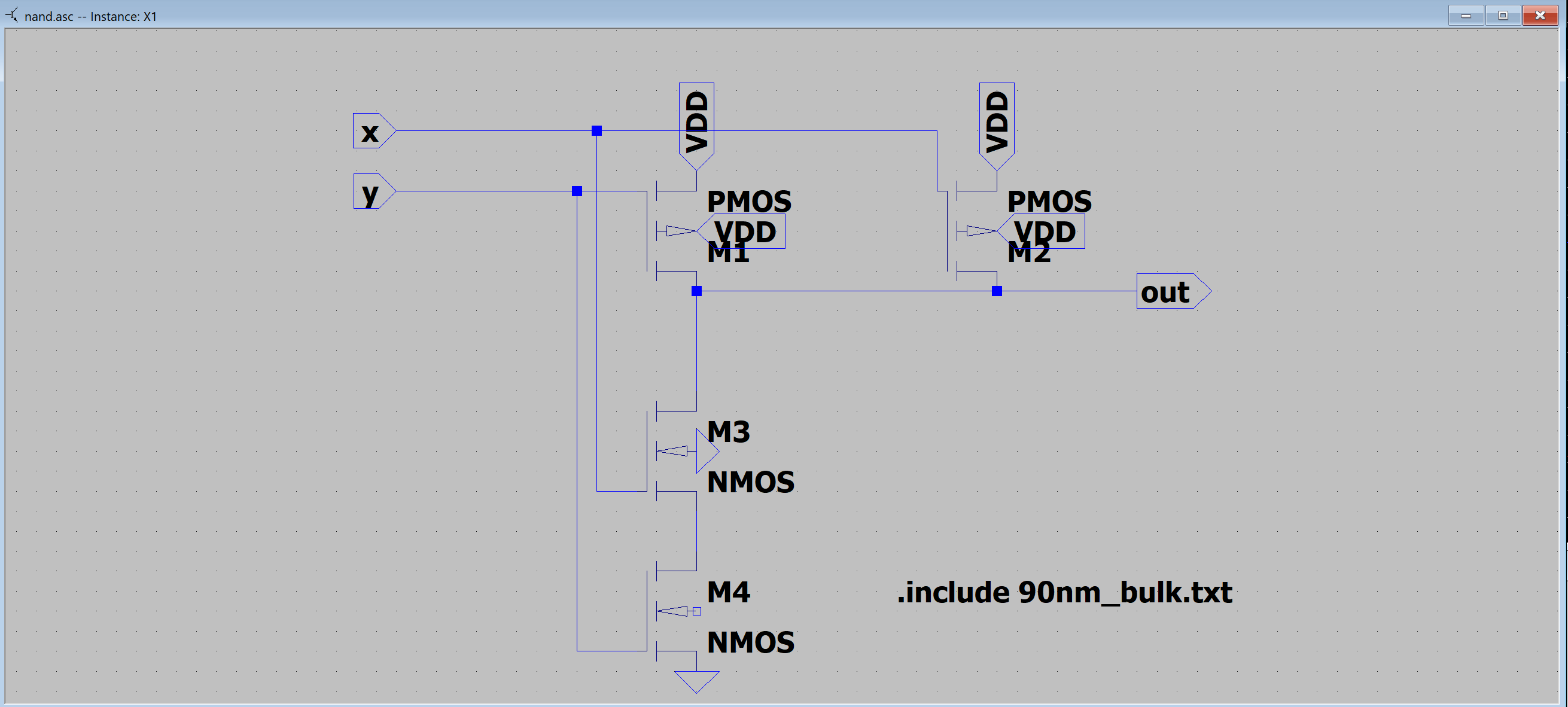
СПб – 2025

**Цель работы:**

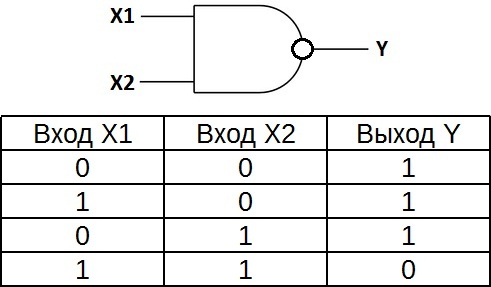
Изучить принципы проектирования и моделирования цифровых логических вентилей и блоков основной единицы (БОЭ) на основе pmos nmos-транзисторов с использованием среды LTspice, а также освоить язык описания аппаратуры Verilog HDL для реализации и тестирования цифровых схем на вентильном уровне в среде Vivado Design Suite.

ЧАСТЬ 1

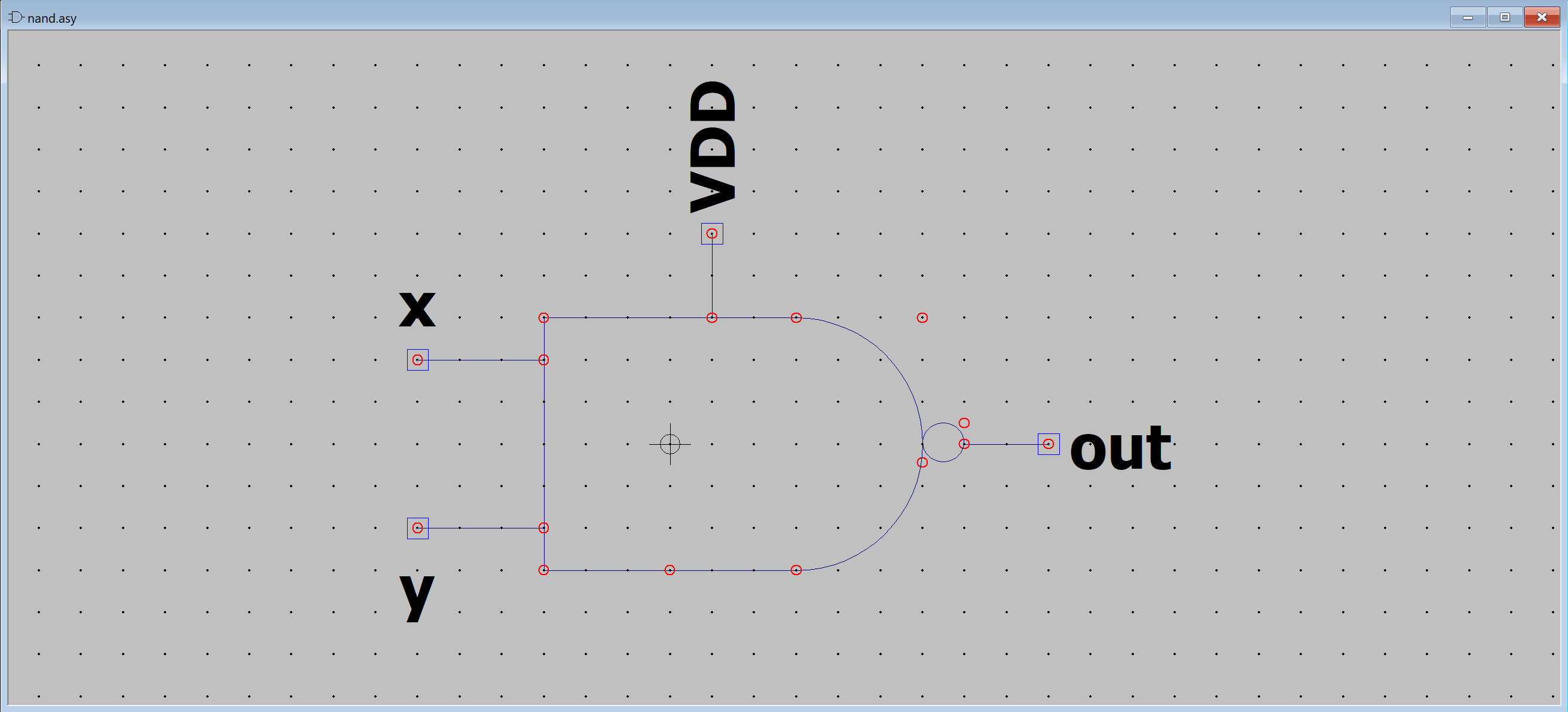
1) Постройте в LTspice на транзисторах схему вентиля, составляющего основу логического базиса согласно варианту задания.



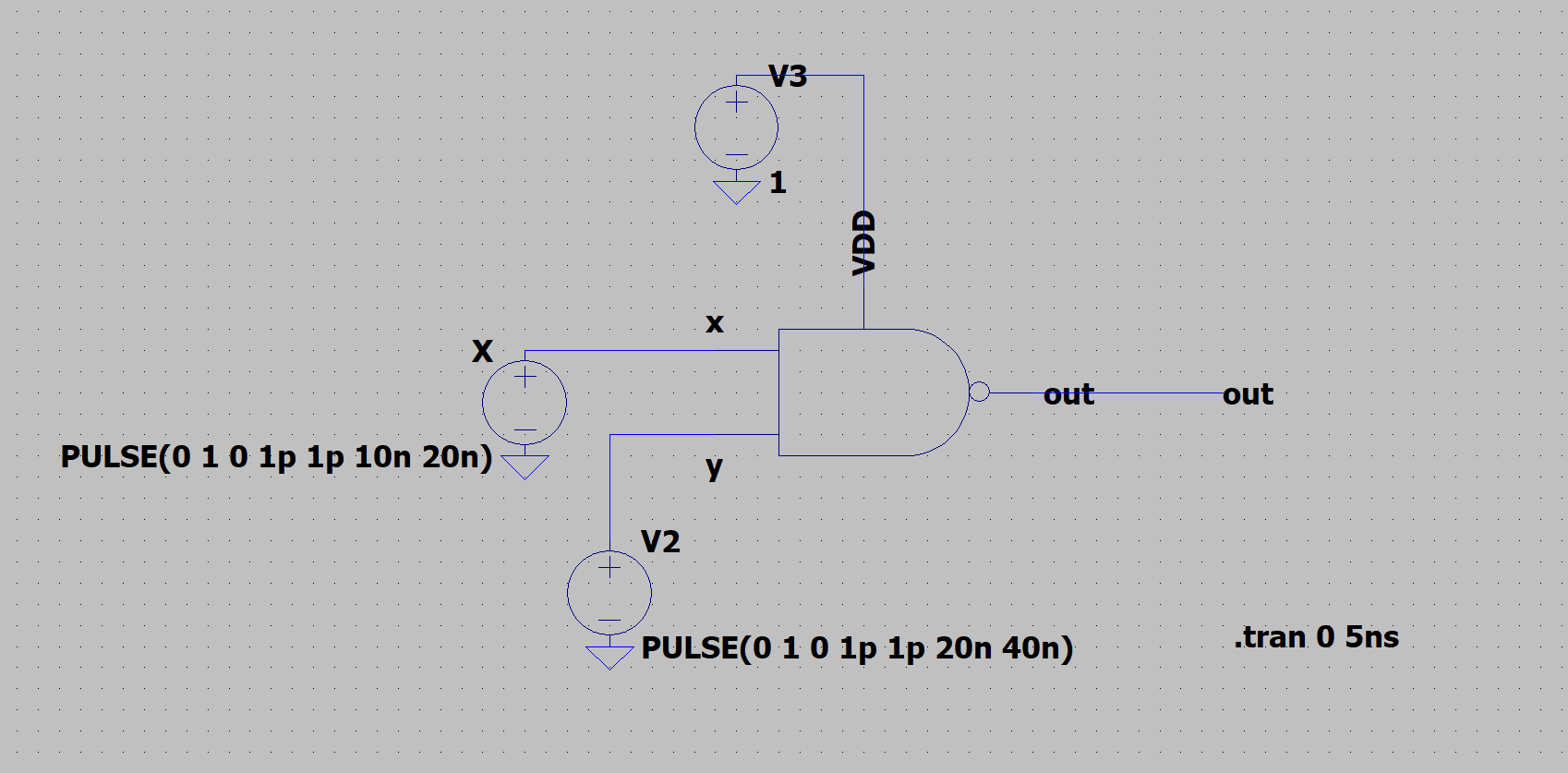
Построили Nand используя pmos и nmos 4-pin, на примере схемы представлены на слайдах лекций Павла Валерьевича. Поставили два nmos параллельно и два pmos последовательно, подвели vdd и заземлили M4 nmos. Данный компонент реализует булеву логику оператора NAND

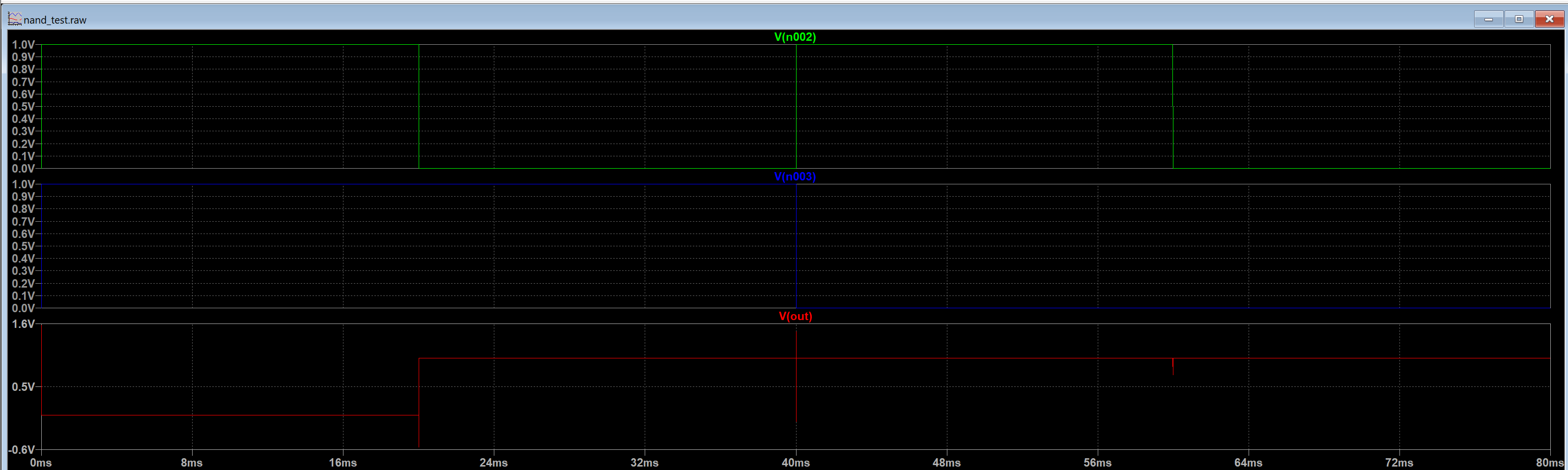


2) Создайте символ для разработанного вентиля как иерархического элемента.



3) С использованием созданного иерархического элемента постройте схему тестирования вентиля.



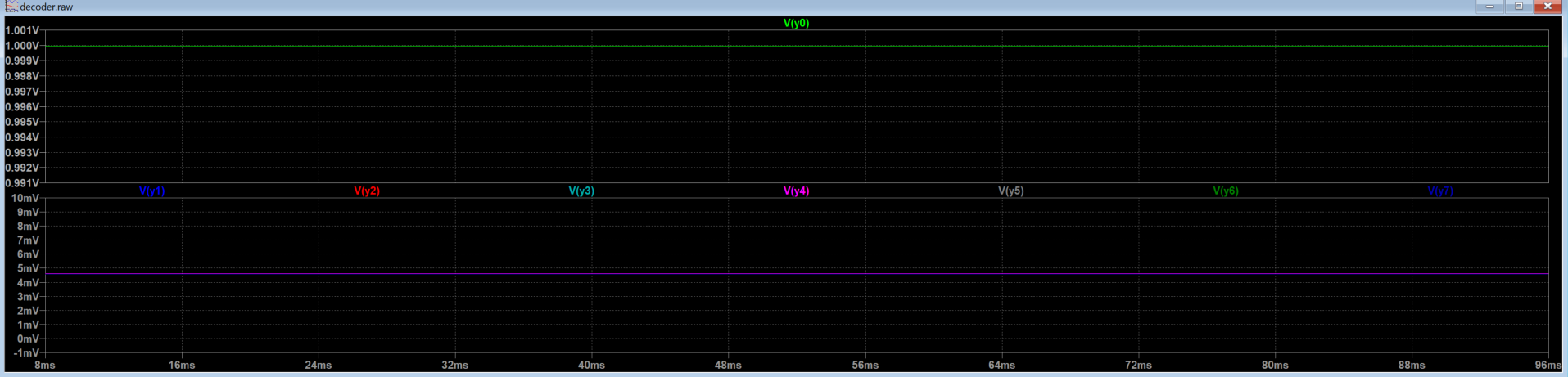


4. Проведите моделирование работы схемы и определите задержку распространения сигнала через тестируемый вентиль.

|  |
| --- |
| V(out) - выходной сигнал. Синий - входной.  Задержка распространения сигнала через тесируемый вентиль равна 3.479ns |
| 5. Определите максимальную частоту изменения входных сигналов, при которой |
| построенная схема сохраняет работоспособность.    Начало – 60ns  Стабилизировался в 61.11ns  Для обычного режима (когда вход меняется каждые полупериоды) нужно, чтобы полупериод ≥ Время восстановления. Значит минимальный полный период:  Максимальная частота:   * МГц   6. Постройте БОЭ на базе созданного вентиля согласно варианту задания. |

Построим схему БОЭ дешифратор 3 к 8.

Передаем 0 0 0 -> на выходе должны получить 1 0 0 0 0 0 0 0

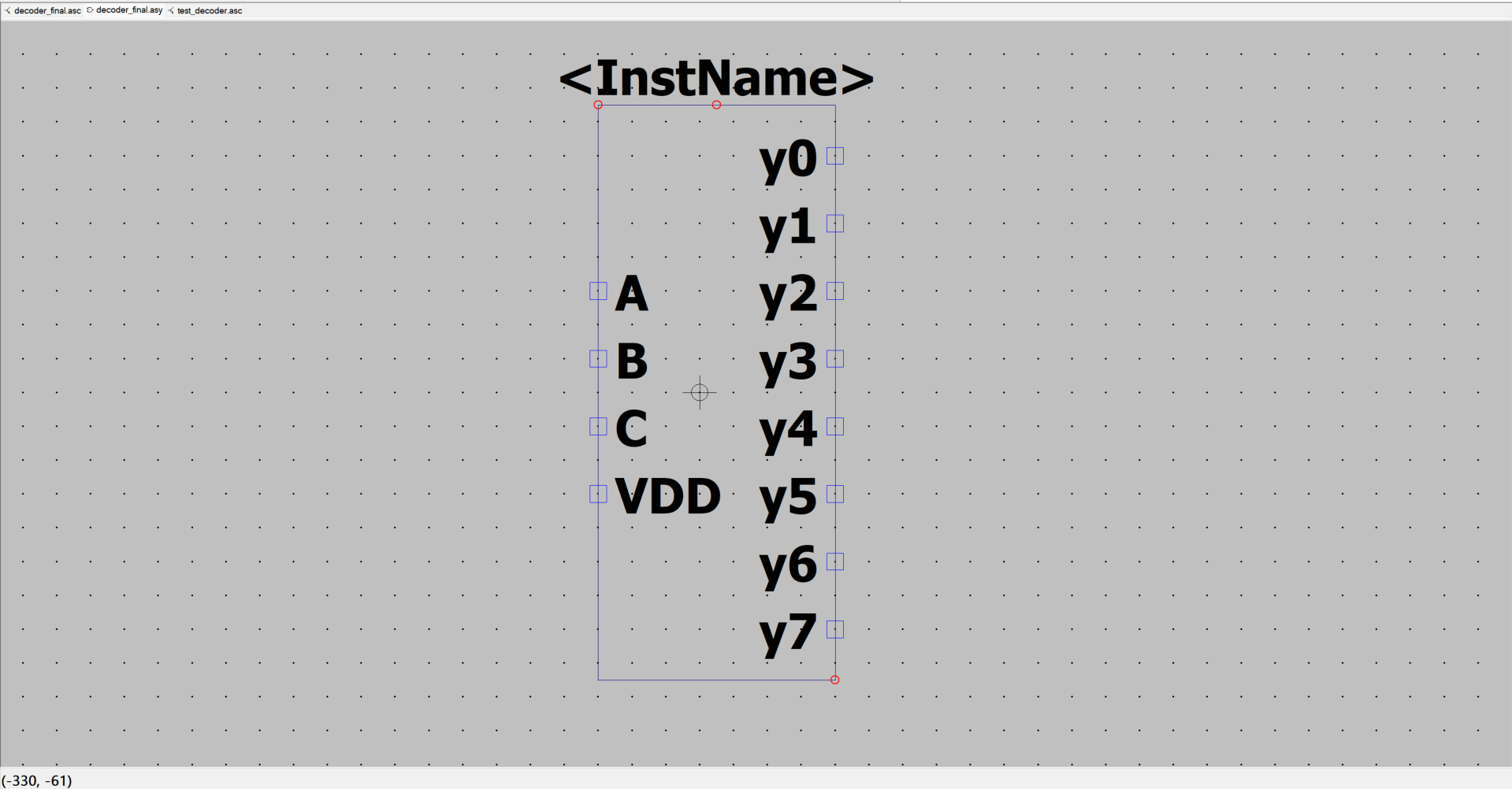


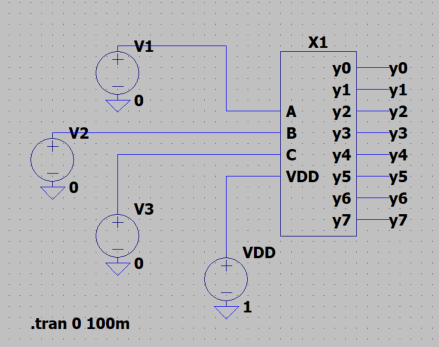
Зеленый график(V(y0)) показывает напряжение 1 разряда.

Таблица истинности Позиционного дешифратора 3 к 8

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| y0 | y1 | y2 | y3 | y4 | y5 | y6 | y7 | A | B | C |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |

7 Сoздайте символ для построенного БОЭ.

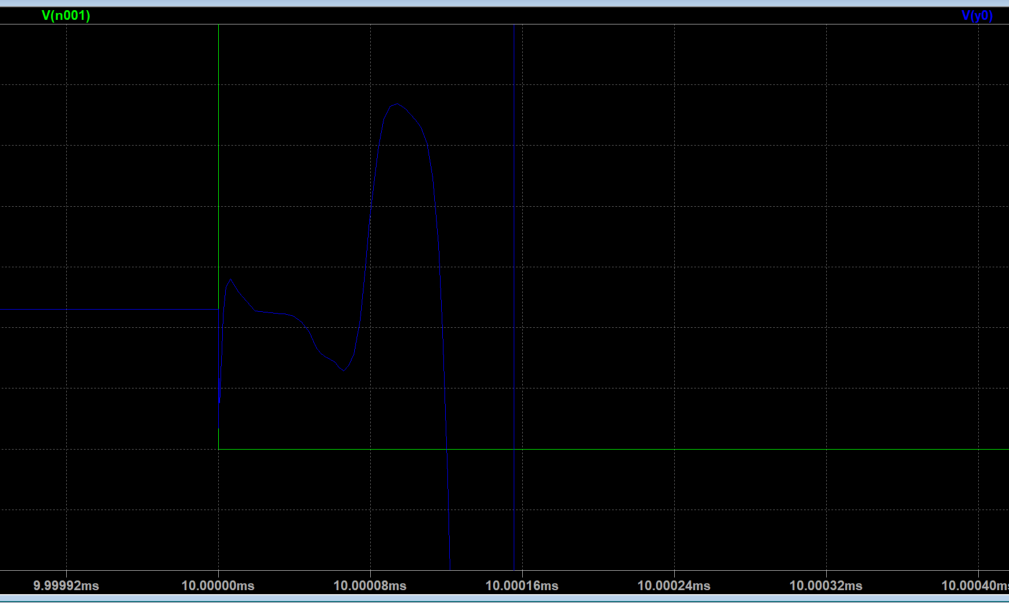




Получаем тот же Y



﻿﻿﻿8 Проведите моделирование работы схемы и определите задержку распространения сигнала через БОЭ.



V(n001) - входной сигнал. Синиий график - это выходной сигнал

Задержка БОЭ элемента равна 10.00015ms - 10ms = 150 ns

9. Определите максимальную частоту изменения входных сигналов, при которой построенная схема сохраняет работоспособность.

Часть 2

1) Опишите на Verilog HDL на вентильном уровне модуль, реализующий функцию БОЭ(Дешифратор 3 в 8) в указанном логическом базисе согласно варианту задания.

module decoder\_3to8 (

input wire A, B, C,

input wire EN,

output wire Y0, Y1, Y2, Y3, Y4, Y5, Y6, Y7

);

wire nA, nB, nC;

wire y0n, y1n, y2n, y3n, y4n, y5n, y6n, y7n;

nand (nA, A, A);

nand (nB, B, B);

nand (nC, C, C);

nand (y0n, EN, nA, nB, nC); // 000

nand (y1n, EN, nA, nB, C); // 001

nand (y2n, EN, nA, B, nC); // 010

nand (y3n, EN, nA, B, C); // 011

nand (y4n, EN, A, nB, nC); // 100

nand (y5n, EN, A, nB, C); // 101

nand (y6n, EN, A, B, nC); // 110

nand (y7n, EN, A, B, C); // 111

nand (Y0, y0n, y0n);

nand (Y1, y1n, y1n);

nand (Y2, y2n, y2n);

nand (Y3, y3n, y3n);

nand (Y4, y4n, y4n);

nand (Y5, y5n, y5n);

nand (Y6, y6n, y6n);

nand (Y7, y7n, y7n);

endmodule

Эта программа на Verilog HDL описывает работу дешифратора 3 в 8, выполненного на элементах NAND.

Устройство преобразует трёхразрядный двоичный код на входах A, B, C в восемь выходных сигналов Y0–Y7, из которых активен только один.

Все логические операции реализованы только с помощью вентилей nand.

В начале модуля создаются инверсии входных сигналов nA, nB, nC через nand (nA, A, A) и т.д.

2. Разработайте тестовое окружение для созданного модуля.

`timescale 1ns / 1ps

module decoder\_3to8\_tb;

reg [2:0] in\_code;

reg EN;

wire [7:0] out\_lines;

integer i;

reg [7:0] expected\_val;

decoder\_3to8 uut (

.A(in\_code[2]),

.B(in\_code[1]),

.C(in\_code[0]),

.EN(EN),

.Y0(out\_lines[0]),

.Y1(out\_lines[1]),

.Y2(out\_lines[2]),

.Y3(out\_lines[3]),

.Y4(out\_lines[4]),

.Y5(out\_lines[5]),

.Y6(out\_lines[6]),

.Y7(out\_lines[7])

);

initial begin

EN = 1;

for (i = 0; i < 8; i = i + 1) begin

in\_code = i[2:0];

expected\_val = 8'b00000001 << i;

#10;

if (out\_lines === expected\_val)

$display("PASS: input=%b output=%b expected=%b", in\_code, out\_lines, expected\_val);

else

$display("FAIL: input=%b output=%b expected=%b", in\_code, out\_lines, expected\_val);

end

#10 $stop;

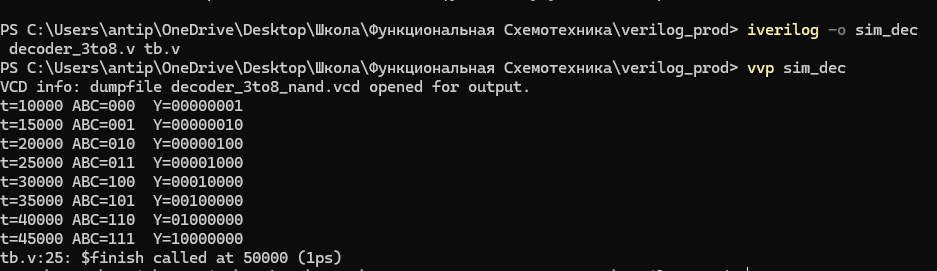
end

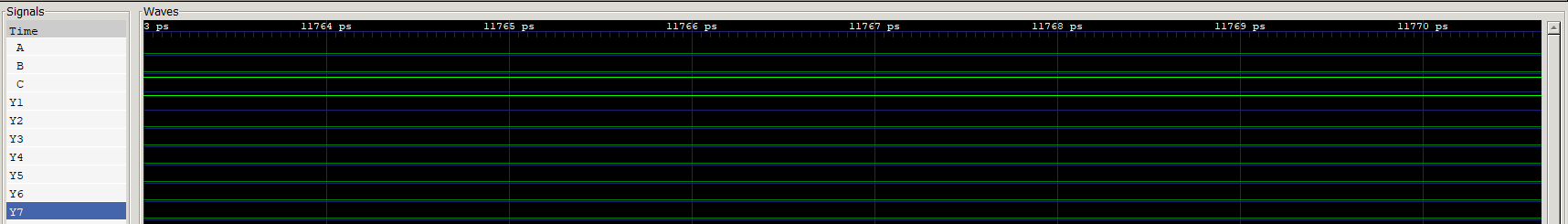
endmodule

Этот тестбенч проверяет работу дешифратора 3 в 8.

Он последовательно подаёт на вход все восемь комбинаций двоичного кода (000–111) при включённом сигнале EN=1 и сравнивает выходы схемы с ожидаемыми значениями, где активен только один выход.

3. Проведите моделирование работы схемы.

****

****

**ВЫВОД**

В процессе лабораторной работы мы поработали с программой LT SPICE. В Verilog оказалось делать по проще чем через gui. Ознакомились с символами, компонентами и основами работы в LTSpice. Потрогали язык Verilog, это оказалось чуть более проще чем ожидалось.